

MN1228

256 ビット MNOS 型不揮発性 EA ROM

256-Bit MNOS Type Nonvolatile Electrically Alterable ROM

■ 概要

MN1228は、256ビットの不揮発性メモリトランジスタを記憶素子とした、完全に電氣的に書換え可能な不揮発性メモリです。メモリ構成は、1ワード=16ビットで、4ビット単位でのデータ処理が可能です。さらに、モード入力およびデータ入出力は4ビット並列処理されますので、4ビット・マイクロコンピュータによる制御が容易で、かつ、入出力端子ともに直結が可能です。

モード入力、アドレス入力およびデータ入力は、4本の共通入力端子から入力され取り込まれます。

MN1228は、16ワード×16ビットの主メモリのほかに、主メモリと同時に使用可能な2ワード×16ビットのメモリを内蔵しております。

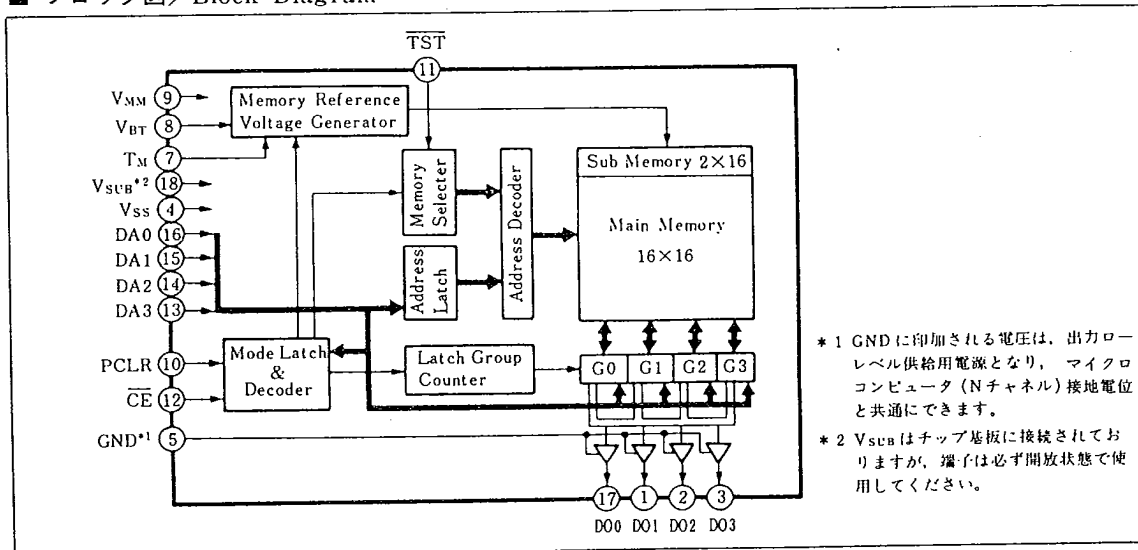
■ Description

The MN1228 is a MNOS memory completely rewritable electrically, and utilizes 256-bit nonvolatile transistors as its main memory elements. Construction of the memory is 1 word, 16 bits, but data processing by 4-bit units is possible. Therefore, control by a 4-bit microcomputer is easy. Also, series connection of both input and output terminals is possible.

Mode input, address input and data input are taken in from the common input terminal of four wires.

In addition to the main memory of 16 words×16 bits, the MN1228 has a built-in memory of 2 words×16 bits which can be used as well as the main memory.

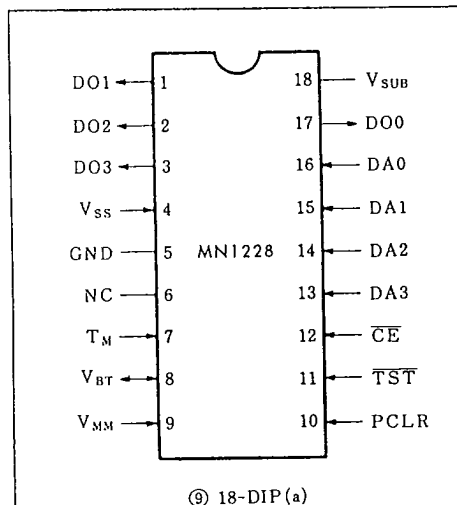
■ ブロック図/Block Diagram



* 1 GNDに印加される電圧は、出力ローレベル供給用電源となり、マイクロコンピュータ (Nチャネル) 接地電位と共通にできます。

* 2 Vsubはチップ基板に接続されておりますが、端子は必ず開放状態で使用してください。

■ 端子配置図/Pin Assignment



■ 特長

- メモリ構成：16ワード×16ビット+2ワード×16ビット
- モード、アドレスおよびデータ入力：4ビットラッチつき
- データ出力：4ビット出力、3状態方式
- 電源電圧：+5V, -28V
- パッケージ：18ピン・プラスチックDIP

メモリ

T-46-13-27

MN1228

■ 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

Item	Symbol	Rating	Unit	Note
電源電圧	V _{MM}	-31~+5.3	V	V _{SS} =+5V
入力端子電圧	V _I	-10~+5.3	V	V _{SS} =+5V
出力端子電圧	V _O	-10~+5.3	V	V _{SS} =+5V
動作周囲温度	T _{opr}	-20~+70	°C	
保存温度	T _{stg}	-40~+100	°C	MNOSメモリ書き込みなしの状態

■ 動作条件1/Operating Condition 1 (V_{SS}=+5V, Ta=25°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V _{MM}	図1参照	-26	-28	-30	V

■ 動作条件2/Operating Condition 2

Item	Symbol	Condition	min.	typ.	max.	Unit
V _{SS} 立上り時間	t ₁	図1参照	1		500	ms
V _{SS} 立下り時間	t ₂		1		500	ms
V _{MM} 立下り時間	t ₃		1		500	ms
V _{MM} 立上り時間	t ₄		1		500	ms

■ 電気的特性1/Electrical Characteristics 1 (V_{MM}=-28V, V_{SS}=+5V, Ta=25°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流	I _{MM}			4.5	7.0	mA
消費電力	P _{tot}			149	231	mW
入力電圧ハイレベル	V _{IH}		+2.4		+5.0	V
入力電圧ローレベル	V _{IL}		0		+0.8	V
入力抵抗	R _I	7番, 11番端子のみ V _{SS} に対し	10	25	50	kΩ
入力リーク電流	I _{LI1}	V _I =+5V 7番, 8番, 11番端子を除く			5	μA
入力リーク電流	I _{LI2}	V _I =-5V 7番, 8番, 11番端子を除く			-5	μA
出力電圧ハイレベル	V _{OIH}	I _{OIH} =-300μA	+2.4			V
出力電圧ローレベル	V _{OOL}	I _{OOL} =200μA			+0.8	V
出力リーク電流	I _{LO1}	V _O =+5V			5	μA
出力リーク電流	I _{LO2}	V _O =-5V			-5	μA
出力電流	I _{BTH}	V _{BT} =+0.5V 8番端子のみ	50	300		μA
出力電流	I _{BTL}	V _{BT} =-0.5V 8番端子のみ	-5	-15		μA

■ 電気的特性2/Electrical Characteristics 2 (Ta=25°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
入力立下り時間	t ₁₁	図2参照			10	μs
入力立上り時間	t ₁₂				10	μs
アクセスタイム	t ₁₃	図3参照			10	μs
データ保持時間	t ₁₄				6	μs
データセットアップ時間	t ₁₅	図4参照	6			μs
データホールド時間	t ₁₆		6			μs
CEパルス幅	t ₁₇	図3参照	6		100	μs

メモリ

MN1228

T-46-13-27

■ 電気的特性 3 / Electrical Characteristics 3 (Ta=0~+50°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
メモリ書き込み時間	t_w		100		200	ms
メモリ消去時間	t_E		100		200	ms
メモリ書換え回数	N_{EW}			10^5		回
メモリ読出し回数	N_R	$N_{EW}=10^5$		10^7		回
パワーオフ・リテンション	t_{POF}	$N_{EW}=10^2$		10		年

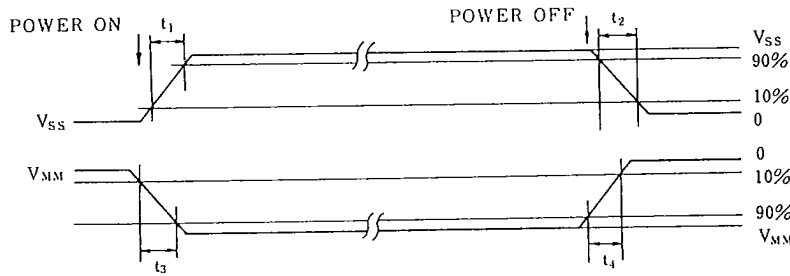


図 1

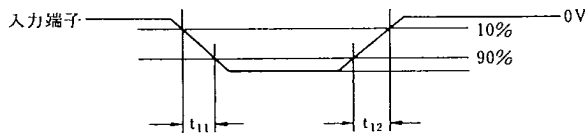


図 2

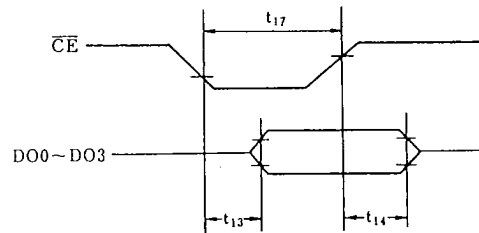


図 3

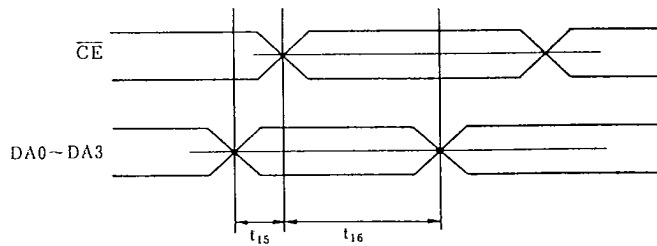


図 4

メモリ

T-46-13-27

MN1228

■ 端子説明 / Pin Names

Pin No.	Symbol	区分	極性	機能
1	DO1	出力	正	データ出力
2	DO2		正	データ出力
3	DO3		正	データ出力(MSB)
4	V _{SS}	電源	-	V _{SS} 電圧印加(標準+5V)
5	GND*1		-	接地(通常 0V)
6	NC	-	-	接続なし
7	T _M *2	入力	負	テスト用入力(プルアップ内蔵:通常オープン)
8	V _{BT} *3	-	-	メモリ読出し電圧出力モニタ(プルアップ内蔵:通常オープン)
9	V _{MM}	電源	-	V _{MM} 電圧印加(標準-28V)
10	PCLR*4	入力	正	電源 ON-OFF リセット入力(使用しないとき GND)
11	TST*5		負	テスト用入力(プルアップ内蔵:通常オープン)
12	CE*6		負	チップイネーブル入力
13	DA3		正	モードアドレスおよびデータ入力(MSB)
14	DA2		正	モードアドレスおよびデータ入力
15	DA1		正	モードアドレスおよびデータ入力
16	DA0	正	モードアドレスおよびデータ入力(LSB)	
17	DO0	出力	正	データ出力(LSB)
18	V _{SUB}	-	-	基板接続端子(通常オープン)

- *1 GND 端子に印加される電圧は、MN1228 の出力ローレベル供給用電源となります。GND 端子電圧は、マイクロコンピュータ(N チャンネル品)接地電位と共通にできます。
- *2 T_M 端子を "L" レベルにしますと、外部から V_{BT} 端子よりメモリ読出し電圧を供給できます。
- *3 LSI 内部で自動発生するメモリ読出し電圧を出力するモニタ端子です。T_M 端子を "L" レベルにすることにより、V_{BT} 端子へ外部からメモリ読出し電圧を印加できます。
- *4 PCLR 端子を "H" レベルにしますと、LSI 内部はリセット状態となり、外部からの命令を受け付けません。MN1228 または、その制御デバイスの電源投入時および開放時には、 \overline{CE} を "H" レベルに固定することによりメモリの消去などの誤動作を防止できます。また、PCLR 端子を "L" レベルにしますと、すべての動作が可能になります。
電源投入時あるいは開放時に、 \overline{CE} を "H" レベルに設定できない場合でも、PCLR を "H" レベルに設定しますと、LSI 内部でリセットがかかります。 \overline{CE} が "H" レベルに設定されたのち PCLR を "L" レベルに固定してください。PCLR を使用しない場合、必ず GND レベルに固定してください。
- *5 TST 端子を "L" レベルにしますと、アドレスラッチデータの如何にかかわらず、主メモリ、あるいは副メモリの全アドレスがイネーブルされます。
この状態で消去モードしますと、主メモリ、副メモリ単位でメモリを一斉に消去することができます。
- *6 \overline{CE} の入力負エッジでモード指定コードを取り込み、正エッジでデータの取込み、あるいは指定されたモードの実行を開始します。 \overline{CE} を "H" レベルに固定しますと、外部からの命令を受け付けません。

メモリ

T-46-13-27

MN1228

■ モード・コード表

DA3	DA2	DA1	DA0	動作	指定されるラッチグループ
0	0	0	0	主メモリアドレス入力モードを設定すると同時に、ラッチグループを指定する。この後の \overline{CE} 正エッジでアドレスデータを取り込む。 ^{*1}	G0
0	0	0	1		G1
0	0	1	0		G2
0	0	1	1		G3
0	1	0	0	副メモリアドレス入力モードを設定すると同時に、ラッチグループを指定する。この後の \overline{CE} 正エッジでアドレスデータを取り込む。 ^{*1}	G0
0	1	0	1		G1
0	1	1	0		G2
0	1	1	1		G3
1	0	0	0	消去・書込み動作の停止	不変
1	0	0	1	消去動作の開始	不変
1	0	1	0	書込み動作の開始	不変
1	0	1	1	データ入力モードを設定する。この後の \overline{CE} 正エッジでデータを取り込む。	不変
1	1	0	0		インクリメント ^{*2}
1	1	0	1	データ出力モードを設定すると同時に、データを出 力する。 ^{*3}	不変
1	1	1	0		インクリメント ^{*2}
1	1	1	1	No Operation	不変

1: 入力"H"レベル 0: 入力"L"レベル

*1 主メモリ、副メモリアドレスは、同時に複数のアドレスを設定できません。主メモリ、副メモリの1つが設定されると、他の1つのメモリアドレスはリセットされます。各メモリアドレスは、下記のアドレスデータにより指定されます。

主メモリアドレス: 0000~1111

副メモリアドレス: 0000~0001

*2 ラッチグループのインクリメントは、モード設定直後に実行されます。

*3 MNOSメモリから、バッファメモリ G0~G3へのデータ読出しは、アドレスデータ入力(副メモリアドレスを含む)時に実行されます。データ出力モードを設定すると、G0~G3から DO0~DO3へデータが出力されます。

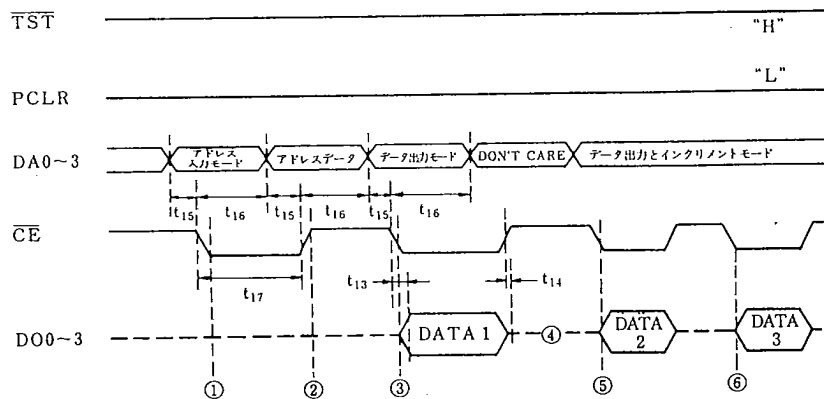
■ 動作説明

1. 読出しサイクルタイミング図

- ①主メモリ、副メモリアドレス入力モードがラッチされると同時に、DA0とDA1のデータによってラッチグループ・カウンタが設定されます。
- ②アドレスデータがラッチされると同時に、指定されたアドレスのMNOSメモリデータは、16ビット同時にバッファメモリG0~G3にラッチされます。
- ③①で設定されたラッチグループのデータがDO0~DO3に出力されます。

④出力端子DO0~DO3は、データ出力時のほかは、常時高インピーダンスの状態にあります。

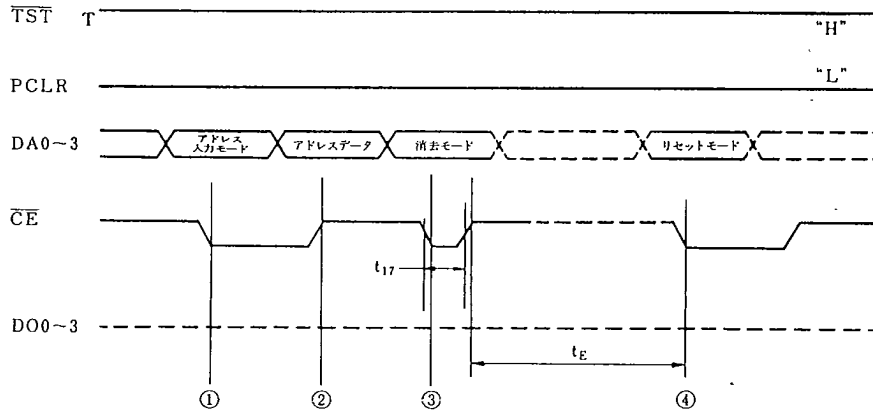
⑤、⑥ラッチグループのインクリメントモードデータ出力とインクリメントモードがラッチされると、その直後にラッチグループ・カウンタがインクリメントされ、前回設定されたラッチグループの1つ上位のラッチグループのデータが出力されます。G3の次のインクリメントでは、ラッチグループ指定はG0となります。



T-46-13-27

2. 消去サイクルタイミング図

- ①主メモリ、副メモリ・アドレス入力モードがラッチされると同時に、DA0とDA1のデータによってラッチグループ・カウンタが設定されます。
- ②アドレスデータがラッチされると同時に、指定されたアドレスのMNOSメモリデータは、16ビット同時にバッファメモリG0~G3にラッチされます。
- ③消去モードがラッチされると、②で指定されたアドレスのメモリデータの消去が開始されます。モードラッチは、 \overline{CE} 入力負エッジまたは正エッジでラッチされますので、ラッチ後は、DA0~DA3のレベルは変動しても消去動作は影響されません。
- ④リセットモードの入力により、②で指定されたアドレスのメモリデータ消去を終了します。消去時間 t_E は最小100msです。

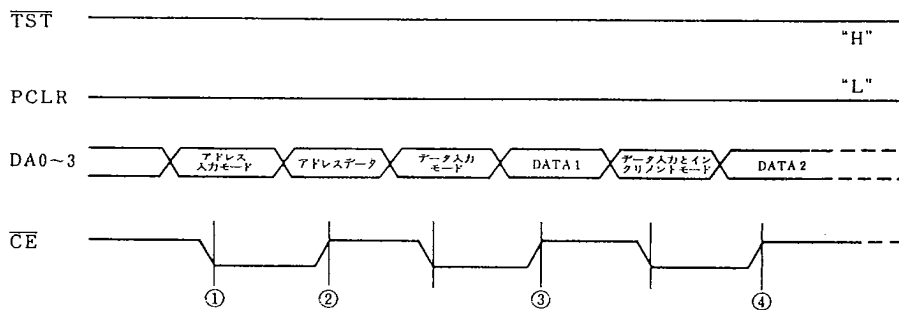


3. 書き込みサイクルタイミング図

指定アドレスのMNOSメモリへのデータ書き込みは、

- 1) アドレス指定とバッファメモリへのデータ入力
 - 2) バッファメモリから指定アドレスのMNOSメモリへのデータ書き込み
- の2段階を経て行なわれます。

(1) アドレス指定とバッファメモリへのデータ入力

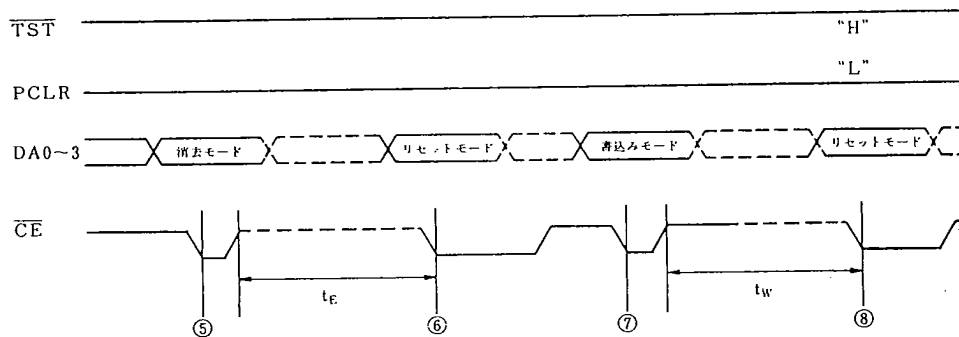


- ①主メモリ、副メモリ・アドレス入力モードがラッチされると同時に、DA0とDA1のデータによってラッチグループ・カウンタが設定されます。
- ②アドレスデータがラッチされると同時に、指定されたアドレスのMNOSメモリデータは、16ビット同時にバッファメモリにラッチされます。
- ③データ入力モードがラッチされると、 \overline{CE} 入力正エッジ

でDA0~DA3の入力データが①で指定されたラッチグループにラッチされます。

- ④データ入力(インクリメントモード)がラッチされると、その直後にラッチグループ・カウンタがインクリメントされ、前回設定されたラッチグループの1つ上位のラッチグループにDA0~DA3の入力データがラッチされます。

(2) バッファメモリから指定アドレスへのMNOSメモリへのデータ書込み

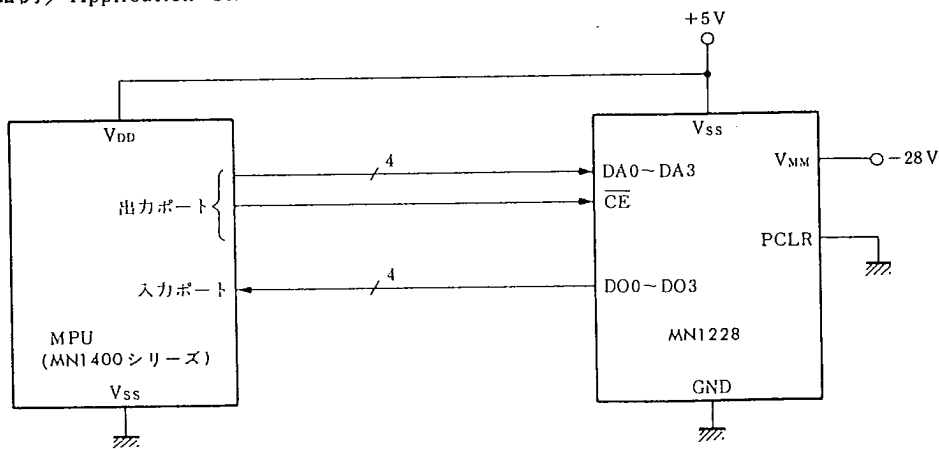


- ⑤,⑥指定アドレスのMNOSメモリデータを消去します。事前に消去されている場合はこの動作は不要です。(消去サイクル参照)
- ⑦書込みモードがラッチされると、②で指定されたアドレスにラッチグループG0~G3の16ビットのデータの書込み動作が開始されます。モードラッチは \overline{CE} 入力負エッジまたは、正エッジでラッチされますので、ラッチ後は

DA0~DA3のレベルが変動しても書込み動作には影響ありません。

- ⑧リセットモード入力より、②で指定されたアドレスへのデータ書込みを終了します。書込み時間twは最小100msです。
- ⑨メモリフレッシュの場合には③,④の動作は不要です。

■ 応用回路例 / Application Circuit



MN1228とマイコンとの接続例